

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-282159

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 9/30

識別記号

3 1 0

庁内整理番号

F I

G 0 6 F 9/30

技術表示箇所

3 1 0 C

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21) 出願番号

特願平8-86510

(22) 出願日

平成8年(1996)4月9日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 勝野 昭

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

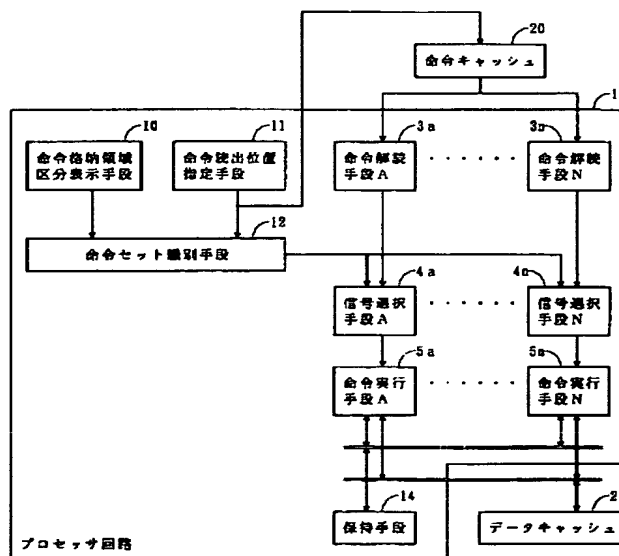
(54) 【発明の名称】 プロセッサ回路

(57) 【要約】

【課題】 本発明は、命令セットの異なる複数の命令列を同時に処理するプロセッサ回路に関し、命令セットの異なる命令への移行に要する時間を減減することを目的とする。

【解決手段】 データを保持する保持手段と、命令セットに属する命令の格納範囲を示す格納先頭番地と領域長と該命令セットを識別表示するID番号とを保持する命令格納領域区分表示手段と、命令読出番地を示す命令読出位置指定手段と、前記命令読出番地と前記命令の格納範囲とを比較して前記命令の属する命令セットを識別しID番号を出力する命令セット識別手段と、命令セットに対応して設けられた、命令を解読して制御信号を生成する命令解読手段と、前記制御信号に制御されて命令を実行する命令実行手段と、前記制御信号の前記命令解読手段から前記命令実行手段への伝達を制御する信号選択手段とから構成され、命令セットの異なる命令を同時に処理することを特徴とするプロセッサ回路。

本発明の原理図



1

【特許請求の範囲】

【請求項1】 命令読出番地を保持し送出する命令読出位置指定手段と、命令処理される入力データを保持し処理結果の出力データを格納する保持手段と、

命令セットに対応して設けられた、読み出された命令を解読して制御信号を生成する命令解読手段と、前記制御信号に制御されて命令を実行する命令実行手段と、前記制御信号の前記命令解読手段から前記命令実行手段への伝達を制御する信号選択手段とを有し、命令セットの異なる複数の命令列を処理するプロセッサ回路であって、命令セットに属する命令の格納範囲と前記命令セットの識別表示情報とを保持する命令格納領域区分表示手段と、前記格納範囲と前記命令読出番地とを比較して前記命令読出番地から読み出される命令の属する命令セットを識別し、命令セットの識別表示情報を出力する命令セット識別手段とを有し、

前記識別表示情報により選択される信号選択手段に入力された制御信号のみを命令実行手段に伝達し、前記制御信号により処理することを特徴とするプロセッサ回路。

【請求項2】 命令格納領域区分表示手段に、命令セットに属する命令の格納範囲として命令セットの格納先頭番地と領域長とを保持し、命令セットを識別表示する識別表示情報としてID番号を保持することを特徴とする請求項1に記載のプロセッサ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、命令セットの異なる複数の命令列を同時に処理するプロセッサ回路に関し、命令セットの異なる命令への移行に要する時間を削減することを目的とする。

【0002】プロセッサ回路は、あらかじめ取り扱うことの出来る命令体系が命令セットとして定められており、データ処理装置ではプロセッサ回路の処理出来る命令セットに属する命令を組み合わせてプログラムを作り、所望の処理を行う。

【0003】1つの処理に実際に要する時間は、処理に要する命令数と、1命令の処理に要するクロック数と、1クロックのサイクル時間の積で定まり、1つの処理に実効的に要する時間は、1つの処理に実際に要する時間内に同時に実行出来る処理数で除した商として定まるため、プロセッサ回路を高速にするためには命令セットの選択が重要である。

【0004】しかしながら、既存の実行ファイルを処理するためには既存の命令セットとの互換性の維持が必要であり、新たな命令セットを定めることは困難である。そこで、対象や目的毎に異なる複数の命令セットを、命令セットの相違を意識することなく、同一のプロセッサ回路で実行出来る必要が生じた。

【0005】

【従来の技術】従来の技術について、図4～図5を参照

(2)

特開平9-282159

2

しながら、(a)従来例の構成図、(b)従来例のフローチャート図の順に説明する。

【0006】尚、以下の説明において同一部分または相当部分については同一符号を付す。

(a) 従来例の構成図

従来例のプロセッサ回路の構成について、命令セットAと命令セットBの2組の命令セットに属する命令を処理するプロセッサ回路を例として、図4を参照しながら説明する。

10 【0007】図4において、1はプロセッサ回路であり、20は命令キャッシュであり、21はデータキャッシュであり、22は主記憶回路であり、61はデコーダAであり、62はデコーダBであり、63は実行回路Aであり、64は実行回路Bであり、65はレジスタファイルであり、6aは選択回路Aであり、6bは選択回路Bであり、7aはプログラムカウンタA（以下、「PC A」と略す）であり、7bはプログラムカウンタB（以下、「PC B」と略す）であり、8aは更新回路Aであり、8bは更新回路Bであり、80はマイクロスケジューラであり、9aはモードレジスタAであり、9bはモードレジスタBである。

【0008】プロセッサ回路1は、接続線を介して命令キャッシュ20と接続され、また、接続線を介してデータキャッシュ21と接続されて、命令キャッシュ20から命令を読み込み、該命令を解読して該命令の指定する入力データを読み込み、該命令の指定する処理を実行し、処理結果を該命令の指定する格納先に格納する回路である。

30 【0009】命令キャッシュ20は、プロセッサ回路1と主記憶回路22とに接続され、命令セットに属する命令を命令セット毎に区分された領域に、主記憶回路22のコピー情報として保持する記憶回路である。

【0010】この例の場合には、命令セットAに属する命令と命令セットBに属する命令とが各々区分されて保持される。データキャッシュ21は、プロセッサ回路1と主記憶回路22とに接続され、プロセッサ回路1が入力として使用し、或いは処理結果として出力するデータを、主記憶回路22のコピー情報として保持する記憶回路である。

40 【0011】主記憶回路22は、プロセッサ回路1を動作させる命令列とデータとが保持される記憶回路である。デコーダA61は、命令キャッシュ20と選択回路6aとに接続され、命令キャッシュ20から読み出された命令を命令セットAの規定に従って解読し、実行回路A63を制御する制御信号Aを生成し出力する回路である。

50 【0012】デコーダB62は、命令キャッシュ20と選択回路6bとに接続され、命令キャッシュ20から読み出された命令を命令セットBの規定に従って解読し、実行回路B64を制御する制御信号Bを生成し出力する

## 3

回路である。

【0013】実行回路A63は、選択回路A6aとレジスタファイル65とデータキャッシュ21とに接続され、選択回路A6aから出力された制御信号Aの指定に従ってレジスタファイル65とデータキャッシュ21の何れか一方又は双方からデータを読み出し、該データを制御信号Aの指定に従って処理し、処理結果を制御信号Aの指定に従ってレジスタファイル65またはデータキャッシュ21の何れかに格納する回路である。

【0014】実行回路B64は、選択回路B6bとレジスタファイル65とデータキャッシュ21とに接続され、選択回路B6bから出力された制御信号Bの指定に従ってレジスタファイル65とデータキャッシュ21の何れか一方又は双方からデータを読み出し、該データを制御信号Bの指定に従って処理し、処理結果を制御信号Bの指定に従ってレジスタファイル65またはデータキャッシュ21の何れかに格納する回路である。

【0015】レジスタファイル65は、実行回路A63と実行回路B64とに接続された、複数のレジスタからなる、データを一時保持する保持回路である。選択回路A6aは、モードレジスタA9aとデコーダA61と実行回路A63とに接続され、モードレジスタA9aの指定によりデコーダA61が生成・出力した制御信号Aを実行回路A63に伝達する回路である。

【0016】選択回路B6bは、モードレジスタB9bとデコーダB62と実行回路B64とに接続され、モードレジスタB9bの指定によりデコーダB62が生成・出力した制御信号Bを実行回路B64に伝達する回路である。

【0017】PCA7aは、命令キャッシュ20と更新回路A8aとに接続され、命令キャッシュ20に格納されている命令列の中から、次に読み出される命令セットAに属する命令の読出番地を指定する回路である。

【0018】PCB7bは、命令キャッシュ20と更新回路B8bとに接続され、命令キャッシュ20に格納されている命令列の中から、次に読み出される命令セットBに属する命令の読出番地を指定する回路である。

【0019】更新回路A8aは、PCA7aとモードレジスタA9aとに接続され、PCA7aの保持する命令セットAに属する命令の読出番地に、モードレジスタA9aにより指定される命令セットAに属する命令の命令長を加え、PCA7aにセットする回路である。

【0020】更新回路B8bは、PCB7bとモードレジスタB9bとに接続され、PCB7bの保持する命令セットBに属する命令の読出番地に、モードレジスタB9bにより指定される命令セットBに属する命令の命令長を加え、PCB7bにセットする回路である。

【0021】モードレジスタA9aは、更新回路A8aと選択回路A6aとマイクロスケジューラ80とに接続され、プロセッサ回路1の処理する命令セットが命令セ

(3)

特開平9-282159

## 4

ットAであることを表示する回路である。

【0022】モードレジスタB9bは、更新回路B8bと選択回路B6bとマイクロスケジューラ80とに接続され、プロセッサ回路1の処理する命令セットが命令セットBであることを表示する回路である。

【0023】マイクロスケジューラ80は、モードレジスタA9aとモードレジスタB9bとに接続され、実行中の命令セットと異なる命令セットに属する命令に移行する際に割込み通知を受けて割込み処理を行い、割込み先の命令読出番地を移行先の命令読出番地をセットするプログラムカウンタに設定し、モードレジスタの表示するモードを切り替える回路である。

(b) 従来例のフローチャート図

従来例の処理の流れについて、命令セットAに属する命令列を処理する過程で命令セットBに属する命令列を処理する必要が生じた場合を例として、図5を参照しながら説明する。

【0024】命令列の処理過程では、命令の切れ目でモード変更の必要が生じたか否かが監視され、モード変更が必要となった場合にはステップS2に進み、モード変更が不要の場合にはステップS3に進む。

【0025】この例の場合には、モードAで処理中モードBにモード変更する必要が生じたため、ステップS2に進む。(ステップS1)

割込みによりマイクロスケジューラ80が起動され、変更元のモードを示すモードレジスタが無効化され、変更先のモードを示すモードレジスタが有効化され変更先のモードで使用されるPCに命令の読出番地が設定される。

【0026】この例の場合には、モードレジスタA9aが無効化され、モードレジスタB9bが有効化され、PCB7bに命令セットBの読出番地が設定される。(ステップS2)

有効なモードレジスタに接続されるPCの保持する値が命令の読出番地として命令キャッシュ20に入力される。

【0027】この例の場合には、PCB7bの保持する値が命令の読出番地として命令キャッシュ20に入力される。(ステップS3)

命令キャッシュ20から読み出された命令がデコーダA61とデコーダB62とにより解読され、デコーダA61により生成された制御信号Aが選択回路A6aに、デコーダB62により生成された制御信号Bが選択回路B6bに入力される。

【0028】また、有効なモードレジスタの出力が選択回路と更新回路とに入力され、PCの出力が更新回路に入力される。この例の場合には、命令キャッシュ20から命令セットBに属する命令が出力され、デコーダA61とデコーダB62とにより解読され、制御信号Aと制御信号Bとが生成され、制御信号Aが選択回路A6a

5

に、制御信号Bが選択回路B 6 bに入力される。また、PCB 7 bの出力が更新回路B 8 bに入力され、PCB 7 bに保持される命令読出番地の更新が指示される。

(ステップS 4)

制御信号Aと制御信号Bのうち有効なモードレジスタにより指定された制御信号が選択回路A 6 aまたは選択回路B 6 bにより選択され、接続される実行回路に出力される。また、更新回路によりPCの出力にモードレジスタで指定される命令セットの命令長が加算され、PCにセットされる。

【0029】この例の場合には、制御信号Bが選択回路B 6 bを通して実行回路B 6 4に入力され、PCB 7 bに保持される命令セットBに属する命令の読出番地が更新回路B 8 bにより更新される。(ステップS 5)

制御信号で指定される実行回路により、前記制御信号により指定されるレジスタファイル6 5とデータキャッシュ2 1の何れか一方または双方からデータが前記実行回路に読み込まれ、前記制御信号により指定される処理が行われ、前記制御信号により格納先として指定されるレジスタファイル6 5、データキャッシュ2 1の何れかに処理結果が格納される。

【0030】この例の場合には、実行回路B 6 4により制御信号Bにより指定されるレジスタファイル6 5とデータキャッシュ2 1の何れか一方または双方からデータが前記実行回路に読み込まれ、前記制御信号により指定される処理が行われ、前記制御信号により格納先として指定されるレジスタファイル6 5、データキャッシュ2 1の何れかに処理結果が格納される。(ステップS 6)

処理が継続する場合にはステップS 1に戻り、処理が継続しない場合には終了する。(ステップS 7)

【0031】

【発明が解決しようとする課題】上述した様に、従来は、割込み処理のための処理時間を要し、ダイナミックな命令セットの切り替えが出来ないという問題があった。

【0032】本発明は、命令セットの異なる命令への移行に要する時間を削減し、ダイナミックな命令セットの切り替えを可能とし、同一プロセッサにより同時に異なる命令セットに属する命令の実行を可能とすることを目的とする。

【0033】

【課題を解決するための手段】本発明は、命令が、命令読出し、命令解読、命令の実行、命令読出し先の更新という一連の処理の繰り返しとして実行され、命令語の語長が一般に命令セット毎に固定である点とに着目し、命令セットに属する命令を格納先を区分して格納し、命令読出し時には命令読出先と命令格納先とを比較して命令セットを認識して識別情報を送出すると同時に、読み出された命令を異なる複数の命令セットの規定に基づき並行して解読して複数の制御信号を生成し、該

(4)

特開平9-282159

6

複数の制御信号の中から該識別情報に基づき命令セットに合致する制御信号を選択し、前記制御信号の指示により処理を行うと共に、前記識別情報に基づき命令読出先番地に命令語の語長を加え更新するものである。

【0034】本発明の原理について、図1を参照しながら説明する。尚、従来例の説明において説明されたと同一部分または相当部分については同一符号を付し、本説明において新たに説明される部分については新しい符号を付して説明する。

10 【0035】図1において、1はプロセッサ回路であり、10は命令格納領域区分表示手段であり、11は命令読出位置指定手段であり、12は命令セット識別手段であり14は保持手段であり、20は命令キャッシュであり、21はデータキャッシュであり、3aは命令解読手段Aであり、3nは命令解読手段Nであり、4aは信号選択手段Aであり、4nは信号選択手段Nであり、5aは命令実行手段Aであり、5nは命令実行手段Nである。

20 【0036】命令格納領域区分表示手段10は、命令セット識別手段12と接続され、命令セットの格納範囲を示す格納先頭番地と領域長と該命令セットを識別表示するID番号とを保持し表示する手段である。

【0037】命令読出位置指定手段11は、命令キャッシュ20と命令セット識別手段12とに接続され、命令キャッシュ20に格納される命令列の中の読み出される命令の読出番地を指定する手段である。

30 【0038】命令セット識別手段12は、命令格納領域区分表示手段10と命令読出位置指定手段11と信号選択手段4a～信号選択手段4nとに接続され、命令読出位置指定手段11により指定される命令読出位置と命令格納領域区分表示手段10に保持される格納範囲とを比較し、前記命令読出位置に保持される命令の属する命令セットを識別し、該命令セットを識別表示するID番号を信号選択手段4a～信号選択手段4nに送出する手段である。

40 【0039】保持手段14は、命令実行手段A5a～命令実行手段N5nに接続され、入力データを保持し、出力データを格納する手段である。命令解読手段と信号選択手段と命令実行手段とは命令セット毎に組をなして構成される手段である。

【0040】命令解読手段A3a～命令解読手段N3nの各々は、命令キャッシュ20と信号選択手段A4a～信号選択手段N4nの各々とに接続され、各々が異なる命令セットに属する命令を解読し制御信号を生成して送出する手段である。

50 【0041】信号選択手段A4a～信号選択手段N4nの各々は、命令セット識別手段12と命令解読手段A3a～命令解読手段N3nの各々と命令実行手段A5a～命令実行手段N5nの各々とに接続され、ID信号により選択された信号選択手段に入力された制御信号のみが

## 7

接続される命令実行手段に伝達される手段である。

【0042】命令実行手段A5a～命令実行手段N5nの各々は、信号選択手段A4a～信号選択手段N4nの各々と保持手段14とデータキャッシュ21とに接続され、信号選択手段を介して伝達された制御信号の指示に従って保持手段14とデータキャッシュ21の何れか一方または双方からデータを読み込み、前記制御信号の指示に従って命令を実行し、前記制御信号の指示に従って実行結果を保持手段14やデータキャッシュ21に格納する手段である。

【0043】前の命令の処理が終了すると、命令読出位置指定手段11から命令キャッシュ20に命令読出番地が送出され、前記命令読出番地に保持されている命令語が読み出され、命令解読手段A3a～命令解読手段N3nの各々で解読され生成された制御信号が命令解読手段A3a～命令解読手段N3nの各々に接続される信号選択手段A4a～信号選択手段N4nの各々に入力される。

【0044】この時、同時に、命令読出位置指定手段11からは命令セット識別手段12にも命令読出番地が送出され、命令セット識別手段12では命令格納領域区分表示手段10に保持される命令セットの格納範囲と前記命令読出位置とが比較され、命令の属する命令セットが識別され、送出されたID番号により信号選択手段A4a～信号選択手段N4nの中から該当する命令セットに属する制御信号を伝達する信号選択手段が選択される。

【0045】次に、前記信号選択手段により前記命令解読手段A3a～命令解読手段N3nの各々により生成された制御信号の中から前記命令セットに対応する制御信号のみが選択され、命令実行手段A5a～命令実行手段N5nの中の前記命令セットに対応する命令実行手段に送出され、また、命令読出位置指定手段11に保持される命令読出位置が前記命令語長だけ更新される。

【0046】次に、前記命令実行手段により、前記制御信号で指定される保持手段14及びデータキャッシュ21のいずれか一方または双方からデータが読み出され、前記制御信号により指定される処理が行われ、前記制御信号により指定される保持手段14またはデータキャッシュ21に処理結果が格納される。

【0047】命令の処理が継続する場合には、再度命令読出位置指定手段11から命令キャッシュ20に命令読出位置が送出され、処理が繰り返される。

【0048】

【発明の実施の形態】発明の実施の形態について、図2～図3を参照しながら、(a)本発明の実施の形態構成図、(b)本発明の実施の形態フローチャート図の順に説明する。

【0049】尚、従来例の説明及び本発明の原理についての説明において説明されたと同一部分または相当部分については同一符号を付し、本説明において新たに説明

(5)

特開平9-282159

## 8

される部分については新しい符号を付して説明する。

(a)本発明の実施の形態構成図

本発明のプロセッサの構成について、命令セットAと命令セットBの2組の命令セットに属する命令を処理するプロセッサを例として、図2を参照しながら説明する。

【0050】図2において、1はプロセッサ回路であり、20は命令キャッシュであり、21はデータキャッシュであり、22は主記憶回路であり、61はデコーダAであり、62はデコーダBであり、63は実行回路Aであり、64は実行回路Bであり、65はレジスタファイルであり、50はISレジスタであり、51は命令識別回路であり、71はプログラムカウンタ（以下「PC」と略す）であり、72は更新回路であり、6aは選択回路Aであり、6bは選択回路Bである。

【0051】PC71は、命令キャッシュ20と更新回路B72とに接続され、命令キャッシュ20に格納される命令列の中から次に読み出す命令の読出番地を指示する回路である。

【0052】更新回路72は、PC71と命令識別回路51とに接続され、PC71の保持する命令の読出番地に命令識別回路51により識別された前記命令の命令長を加え、前記命令の次に読み出す命令の格納番地を生成する回路である。

【0053】ISレジスタ50は、命令識別回路51に接続され、命令キャッシュの命令セット毎の命令格納範囲を示す命令セットの格納先頭番地と領域長と命令セットの識別情報とを保持するレジスタである。

【0054】命令識別回路51は、ISレジスタ50とPC71と更新回路72と選択回路A6aと選択回路B6bとに接続され、PC71の保持する命令キャッシュ20の命令読出位置とISレジスタ50の保持する命令セットの格納範囲とを比較し、前記命令読出位置から読み出される命令の属する命令セットを識別する回路である。

(b)本発明の実施の形態フローチャート図

本発明の処理の流れについて、命令セットAに属する命令列を処理する過程で命令セットBに属する命令列を処理する必要が生じた場合を例として、図3を参照しながら説明する。

【0055】PC71から命令の読出番地が命令キャッシュ20に送出され、読み出された命令がデコーダA61で解読され生成された制御信号Aが選択回路A6aに、同時にデコーダB62で解読され生成された制御信号Bが選択回路B6bに入力される。

【0056】また、PC71の保持する命令の読出番地がISレジスタ50の保持する命令セットの命令格納範囲を示す格納先頭番地及び領域長と命令識別回路51により比較され、PC71に保持される命令の読出番地に保持されている命令の命令セットが識別され、ID番号により選択回路A6aと選択回路B6bの中から命令

50

セットに対応する制御信号を伝達する選択回路が選択され、PC71の出力が更新回路72に入力される。

【0057】この例の場合には、命令識別回路51により読み出された命令が命令セットBに属する命令であることが識別され、命令セットがBであることを識別表示するID番号により選択回路B6bが選択され、また前記ID番号が更新回路72に送出される。(ステップS1)

実行回路A63と実行回路B64のいずれかとレジスタファイル65、データキャッシュ21指定して制御を指示する制御信号が、ID番号で指定される選択回路から出力され、また、ID番号で指定される命令セットの命令長が、更新回路72でPC71の保持する命令の読出番地に加算され、PC71にセットされる。

【0058】この例の場合には、制御信号Bが選択回路B6nから出力され、またPC71の保持する命令の読出番地が命令セットBの命令語長だけ加算される。(ステップS2)

出力された制御信号により、レジスタファイル65とデータキャッシュ21の何れか一方または双方からデータが実行回路に読み出され、実行回路で前記制御信号により指定される処理が行われ、前記制御信号により格納先として指定されるレジスタファイル65またはデータキャッシュ21に処理結果が格納される。

【0059】この例の場合には、制御信号Bで指定されるレジスタファイル65とデータキャッシュ21の何れか一方または双方からデータが実行回路B6bに読み出され、実行回路B6nにより処理が行われ、制御信号Bで格納先として指定されるレジスタファイル65またはデータキャッシュ21に処理結果が格納される。(ステップS3)

処理が継続する場合にはステップS5に進み、処理が継続しない場合には終了する。(ステップS4)

PC71に保持する値が命令キャッシュ20に送出される。(ステップS5)

【0060】

【発明の効果】以上説明した様に、本発明によれば異なる命令セットに属する命令を同一プロセッサ回路で実行する場合、異なる命令セットに属する命令への移行に割込み処理をする必要が無い場合、命令セットの切り替え

をダイナミックに行うことが可能となり、同一プロセッサで同時に異なる命令セットに属する命令を実行することが可能になるという工業的效果がある。

【図面の簡単な説明】

【図1】 本発明の原理図

【図2】 本発明の実施の形態構成図

【図3】 本発明の実施の形態フローチャート図

【図4】 従来例の構成図

【図5】 従来例のフローチャート図

【符号の説明】

1 プロセッサ回路

10 命令格納領域区分表示手段

11 命令読出位置指定手段

12 命令セット識別手段

14 保持手段

20 命令キャッシュ

21 データキャッシュ

22 主記憶装置

3a, ..., 3n 命令解読手段

4a, ..., 4n 信号選択手段

5a, ..., 5n 命令実行手段

6a 選択回路A

6b 選択回路B

50 ISレジスタ

51 命令識別回路

61 デコーダA

62 デコーダB

63 実行回路A

64 実行回路B

65 レジスタファイル

71 プログラムカウンタ(「PC」と略す)

72 更新回路

73 プログラムカウンタA(「PCA」と略す)

74 更新回路A

75 プログラムカウンタB(「PCB」と略す)

76 更新回路B

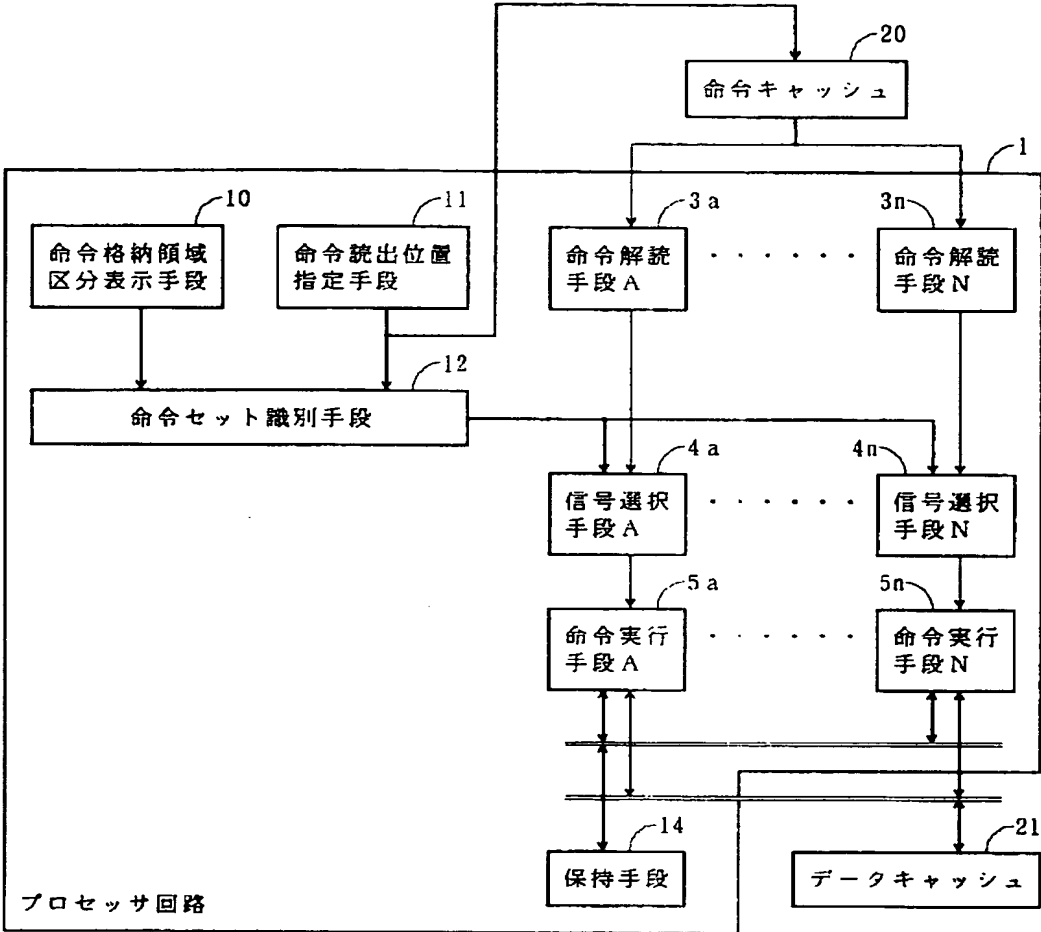
80 マイクロスジェラ

81 モードレジスタA

82 モードレジスタB

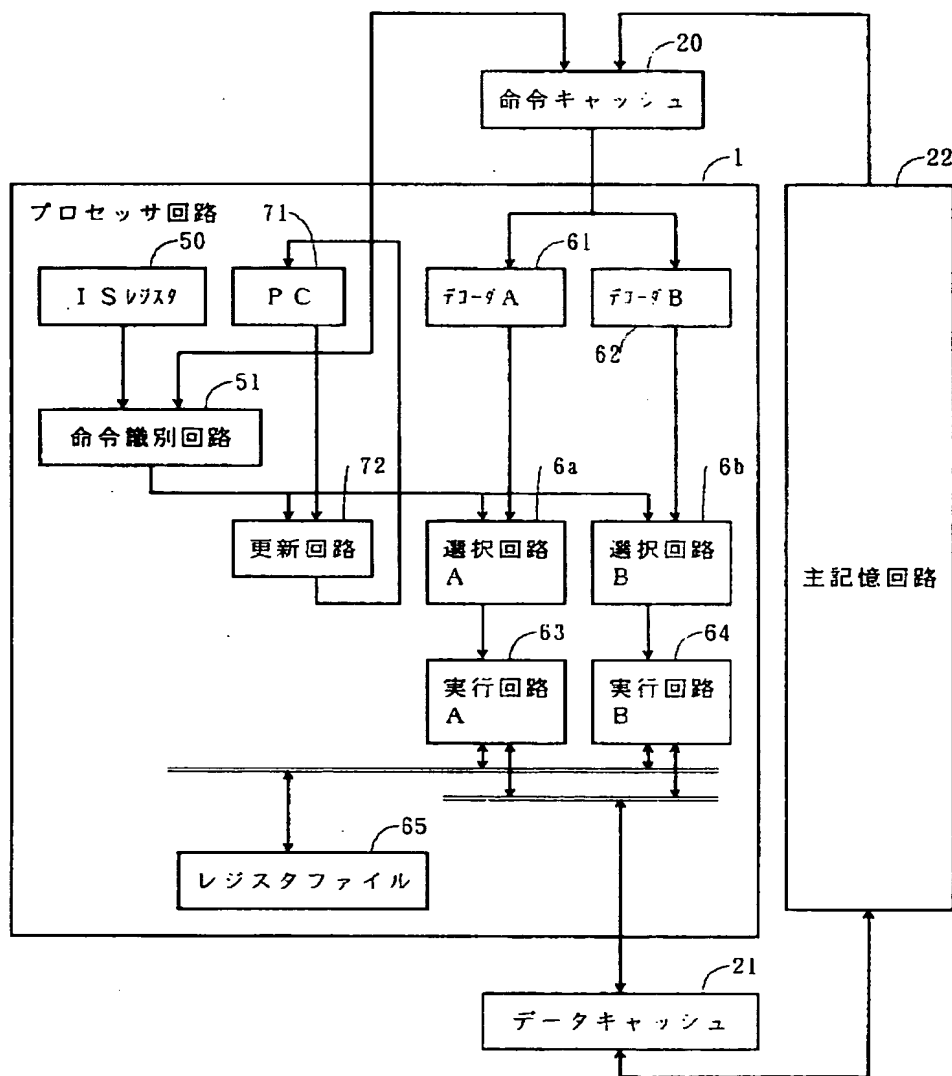
【図 1】

本発明の原理図



【図2】

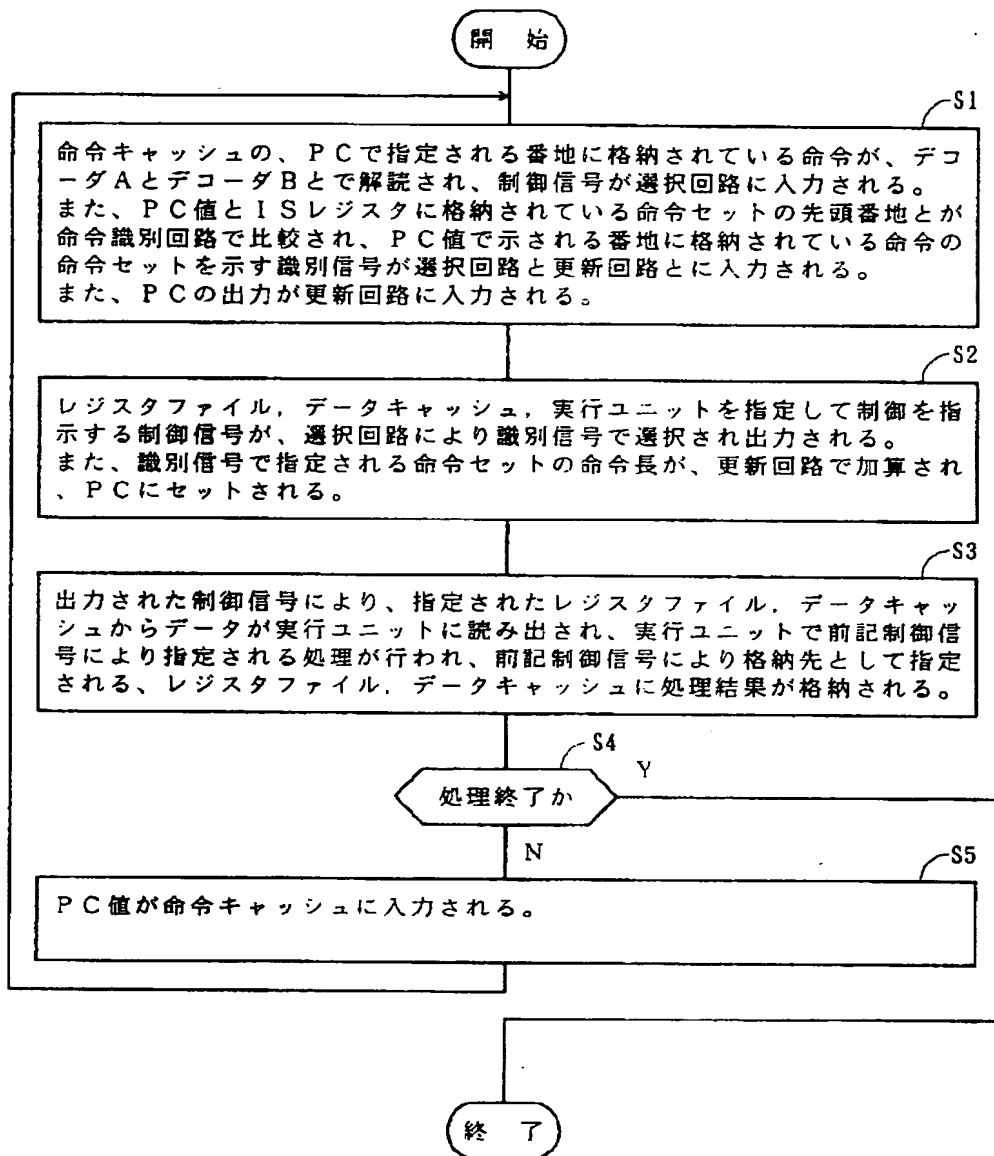
本発明の実施の形態構成図





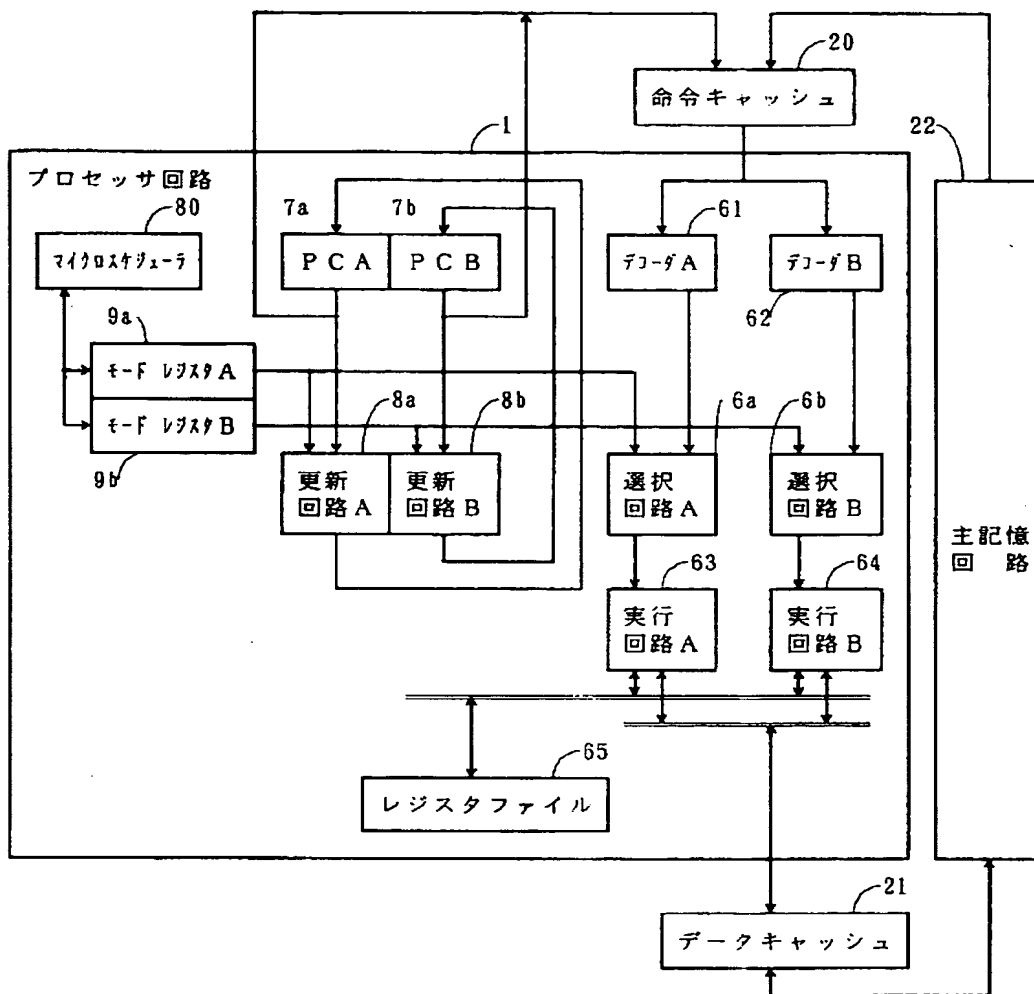
【図3】

本発明の実施の形態フローチャート図



【図 4】

従来例の構成図



【図5】

従来例のフローチャート図

